



Устройства встроенного саморемонта КМОП СОЗУ: разработка и способы применения

Докладчик:

Щигорев Л.А.

План доклада

- Введение. Обоснование актуальности исследования и разработки устройств встроенного саморемонта памяти (УВСП) СОЗУ
- Глава 1. Сравнение методов обхода поврежденных ячеек СОЗУ
- Глава 2. Метод проектирования УВСП, работающего с УВСТ без информации о расположении поврежденных ячеек памяти, ориентированный на сокращение времени поиска корректной конфигурации резервных элементов
- Глава 3. Методы проектирования УВСП, работающих с УВСТ с учетом информации о расположении поврежденных ячеек памяти, ориентированные на сокращение времени поиска корректной конфигурации резервных элементов и на сокращение аппаратных затрат
- Глава 4. Комбинированные методы повышения сбое- и отказоустойчивости элементов СОЗУ, включающих в себя устройства саморемонта памяти

Введение.

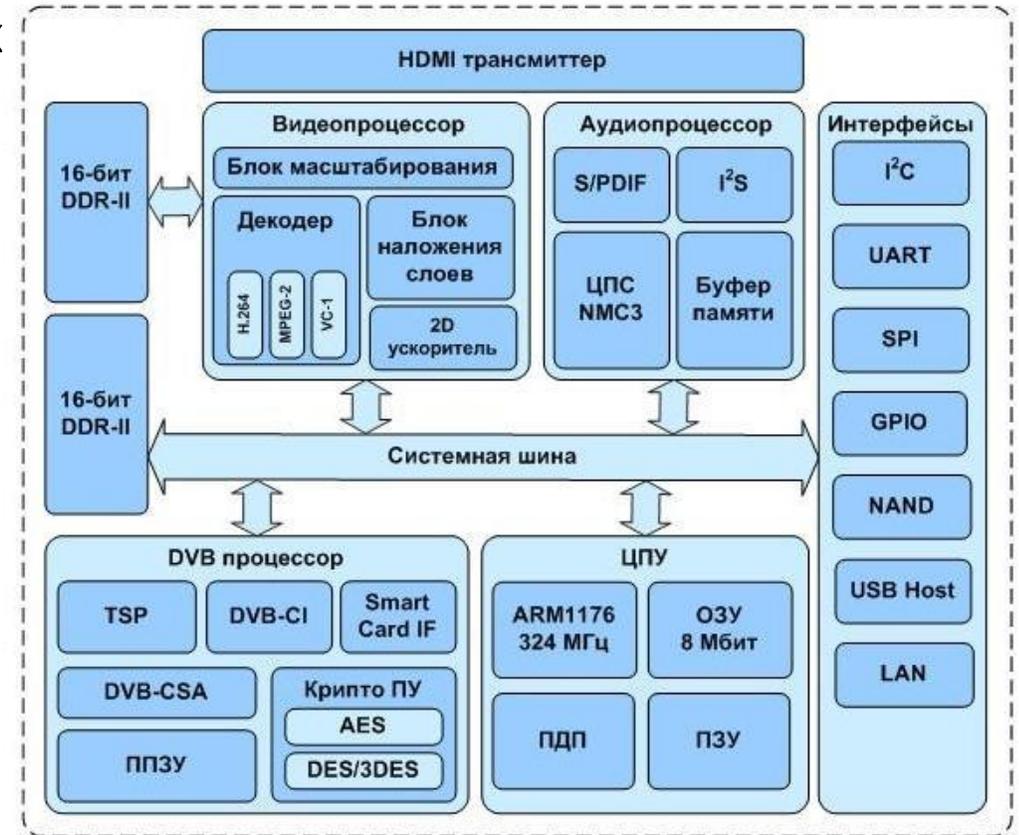
Обоснование актуальности исследования и разработки устройств встроенного саморемонта памяти (УВСПР) СОЗУ

Многоядерные СБИС

В НТЦ «Модуль» ведутся разработки многоядерных СБИС, включающих:

- ▶ ЦПУ (ARM, PPC)
- ▶ ЦОС (NEUROMATRIX)
- ▶ Дополнительные устройства (контроллеры памяти, периферийных интерфейсов, аппаратные блоки)

Например, СБИС ДЦТС (К1879ХБ1Я)



Элементы СОЗУ

Могут занимать до **75%** площади СнК (*Semico Research Crop.*)



Основные источники дефектов



Основной фактор **снижения** ВГД

Способы обхода поврежденных элементов СОЗУ

- Резервные элементы (*Redundancy*) Столбцы и/или строки
- Устройства на базе кодов обнаружения и коррекции ошибок (*ECC*)

Характер парируемых ошибок?

Аппаратурные затраты?

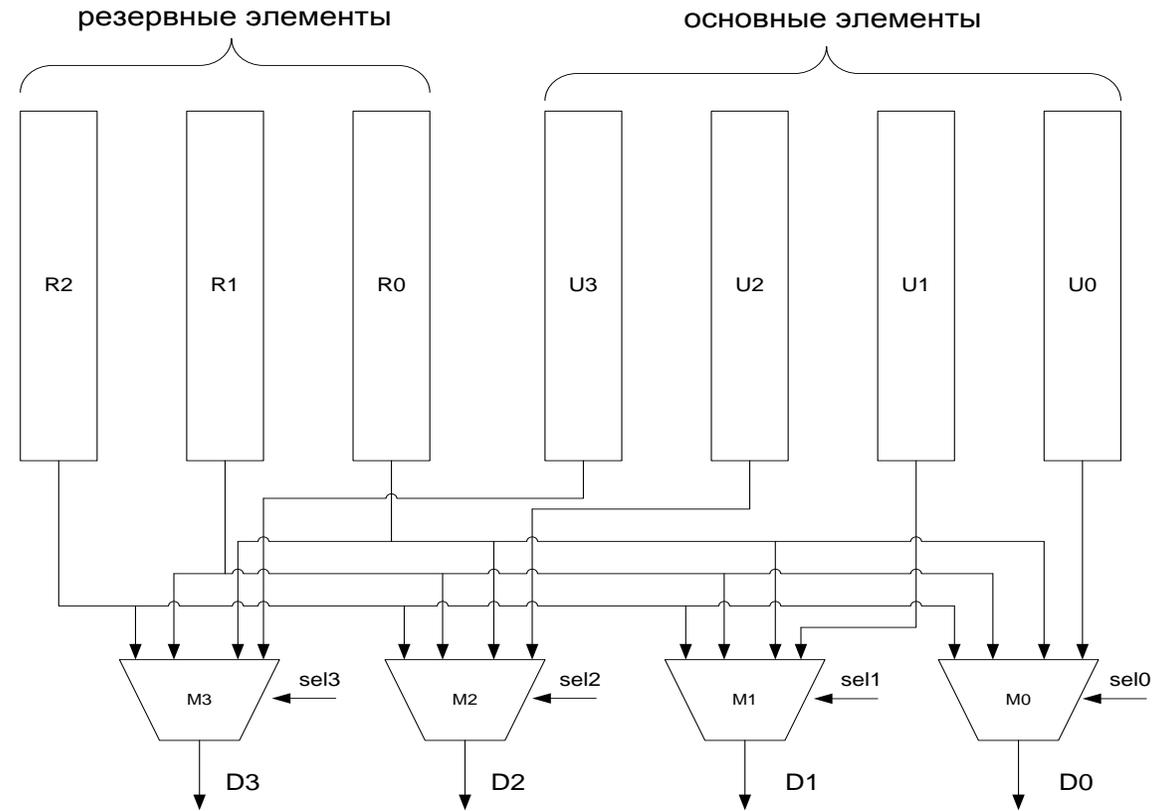
Временные затраты?



Глава 1.

Сравнение методов обхода поврежденных ячеек СОЗУ

Мультиплексирование (MUX) – «любой на любой»



Сдвиг (SHIFT) – на одну позицию

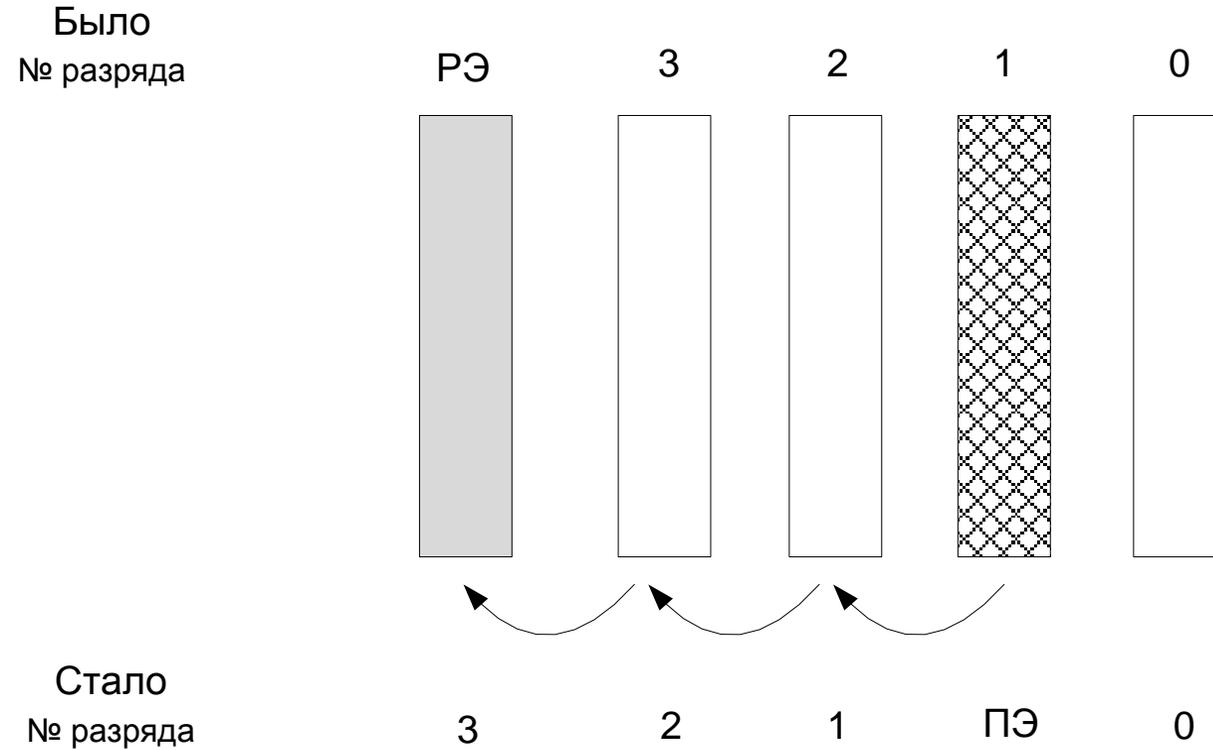
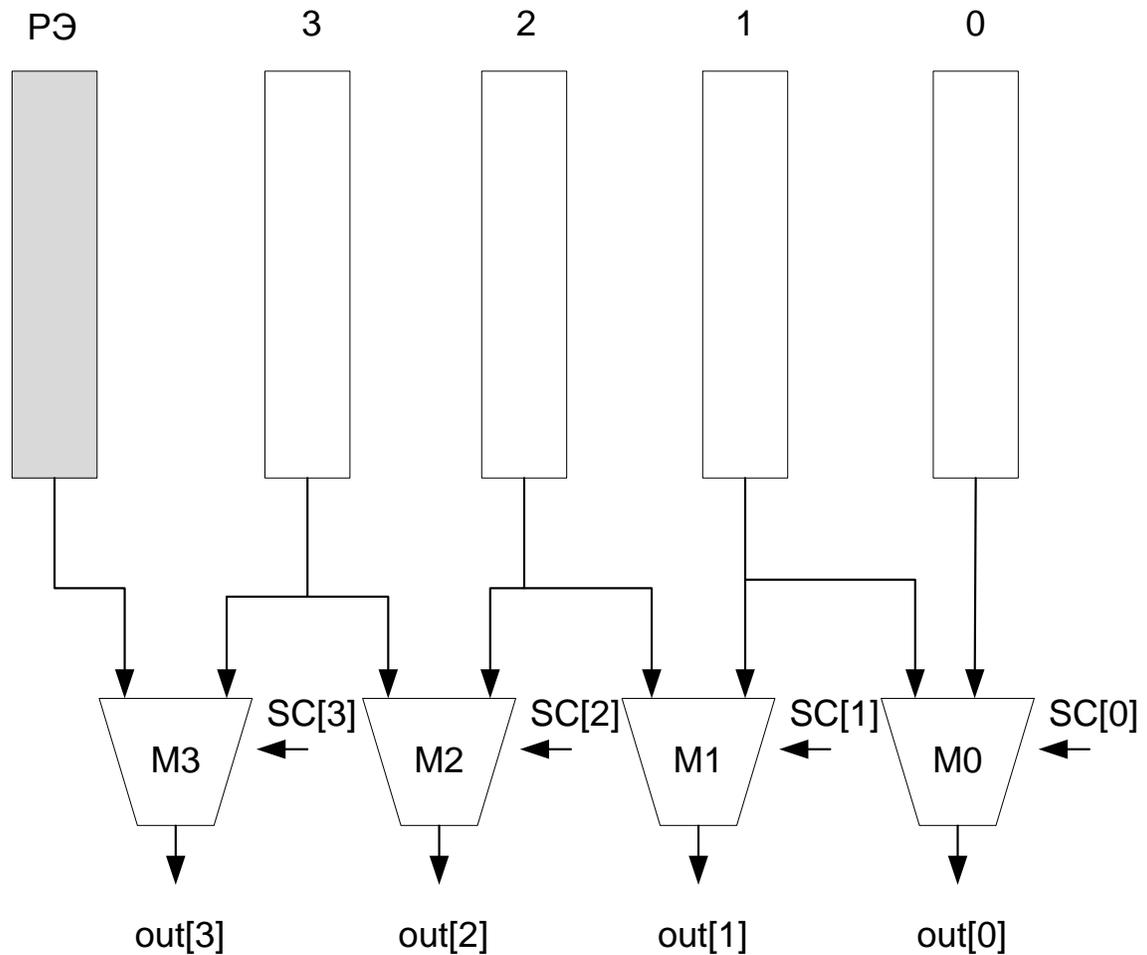
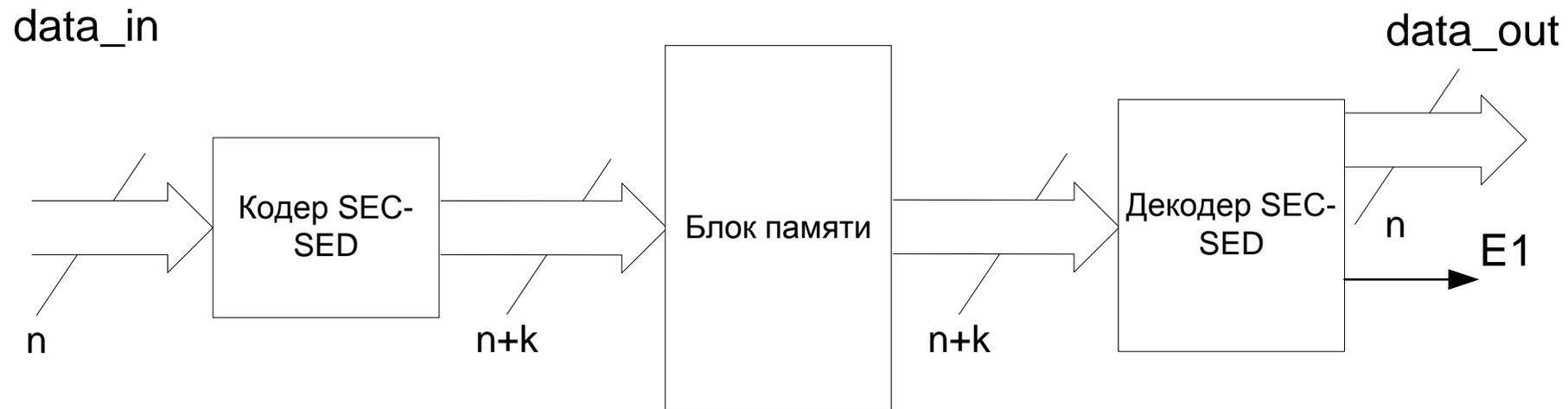


Схема SHIFT



Коды коррекции ошибок (ECC)

Single Error Correction – Single Error Detection (SEC-SED)

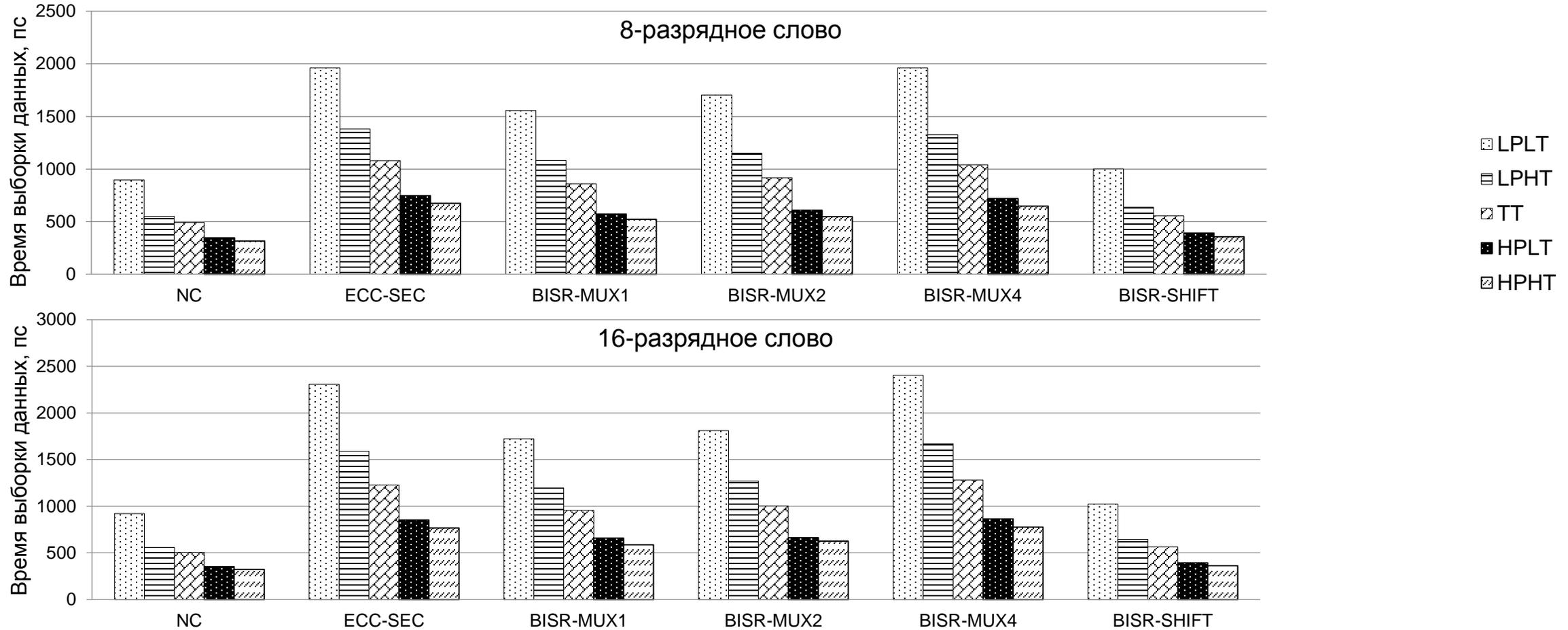


Резервные элементы или Коды коррекции?

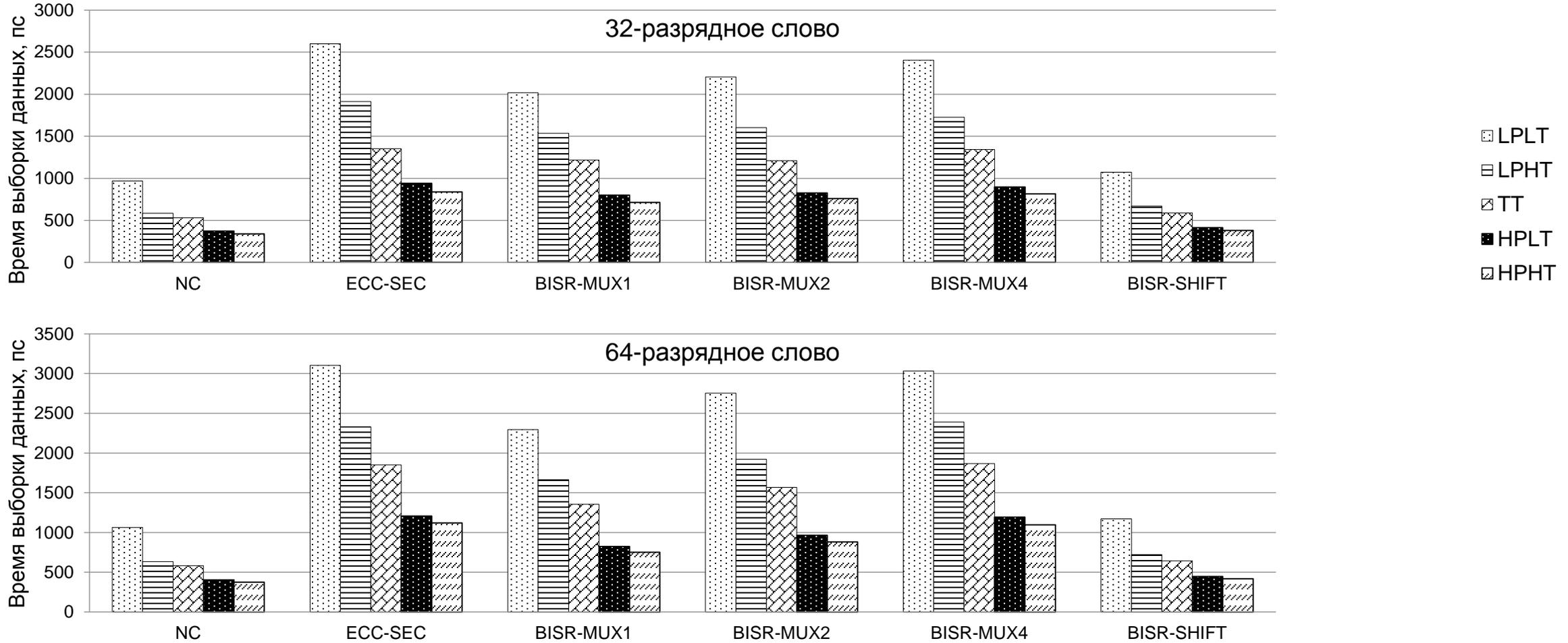


- Блоки памяти SRAM $4K \times \langle num_words \rangle$, где $num_words = 8, 16, 32, 64$
- Способы обхода:
 - ▶ **ECC**: SEC-SED,
 - ▶ **RED**: MUX 1к, MUX 2к, MUX 4к, SHIFT
- 28 nm, 5 углов (LPLT, LPHT, TT, HPLT, HPHT)
- САПР: Cadence Encounter RTL Compiler

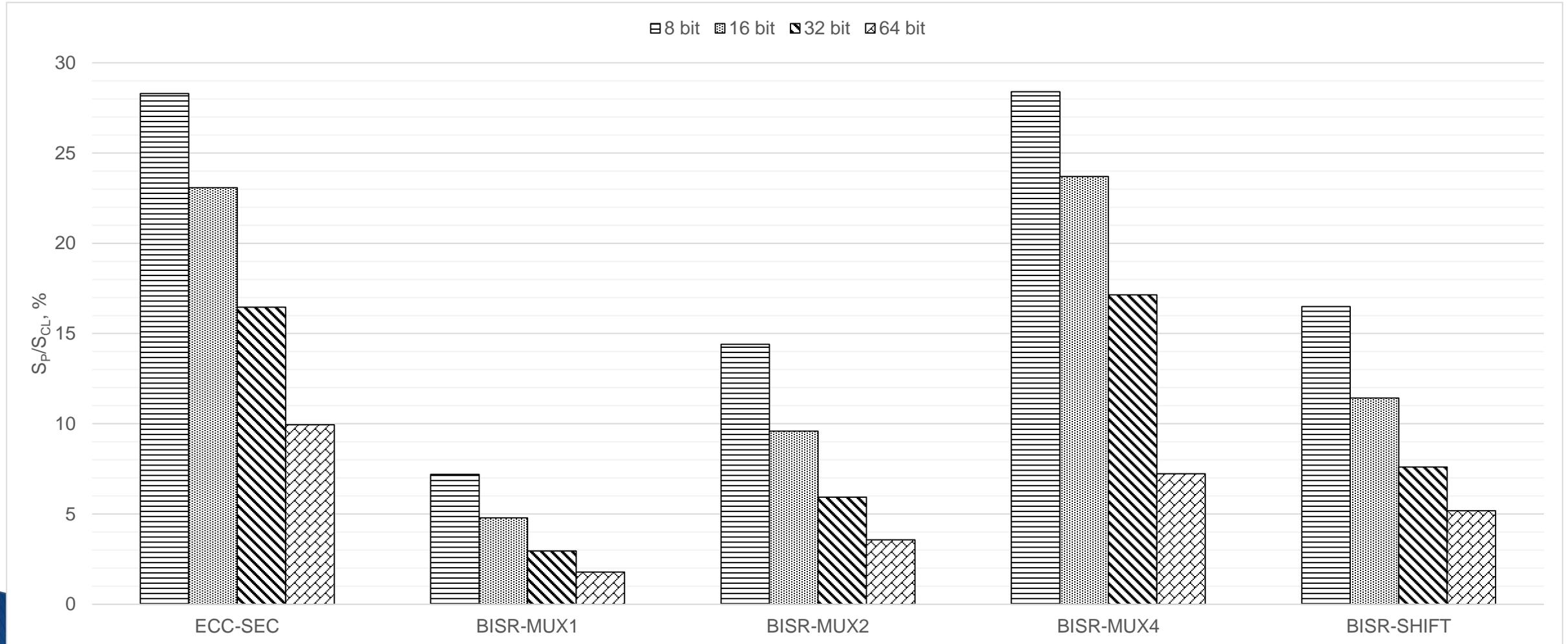
Время выборки данных



Время выборки данных



Аппаратурные затраты



Выводы по главе 1

- При введении рассмотренных средств парирования отказов время выборки увеличивается на 10...15% для варианта SHIFT, в 2,5...3,0 раза для вариантов ECC-SEC и MUX4, в 1,9...2,5 раза для варианта MUX2 и в 1,7...2,2 раза для варианта MUX1
- При парировании одиночных отказов вариант BISR-SHIFT обеспечивает время выборки в 1,5 раза меньше, но занимает в 2 раза большую дополнительную площадь по сравнению с вариантом BISR-MUX1. Вариант ECC-SEC имеет в 2...3 раза большее время выборки и в 1,8...2,1 раза большую дополнительную площадь по сравнению с вариантом BISR-SHIFT, но не требует введения блоков УВСТ, УВСП

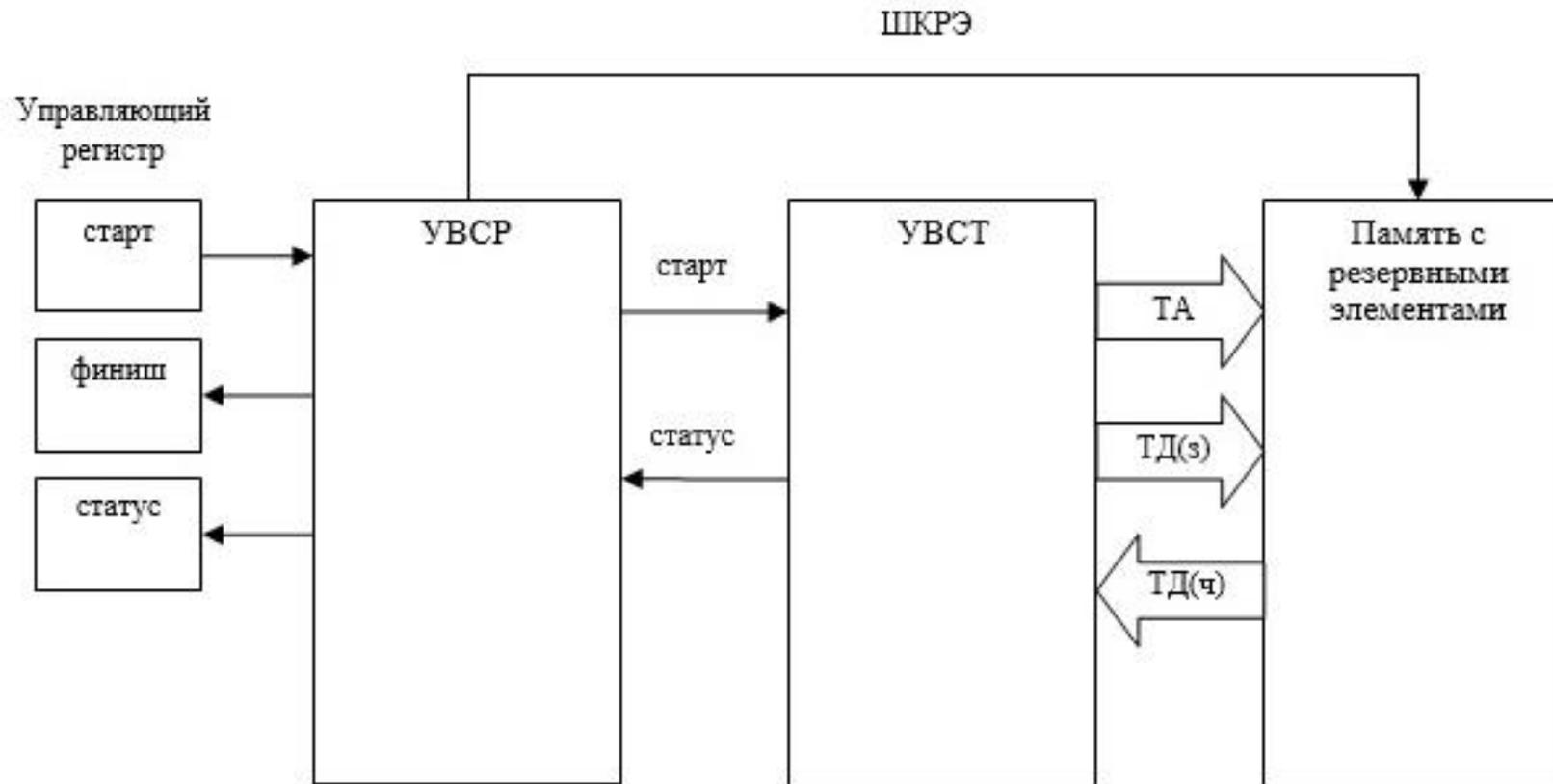
Выводы по главе 1

- Относительная величина затрат площади кристалла при введении средств парирования отказов зависит от количества вводимых дополнительных битов и разрядности хранящихся слов N . При увеличении N дополнительные затраты площади существенно уменьшаются. При значениях $N = 32$ и более бит, возрастание площади кристалла не превышает 17%
- MUX4 и ECC-SEC имеют близкие значения времен выборки и дополнительной площади. При этом MUX4 обеспечивает парирование 4 отказов, но требует введения блоков УВСТ и УВСП
- **RED** предпочтительнее **ECC** для обхода отказавших ячеек памяти в качестве способа повышения ВГД

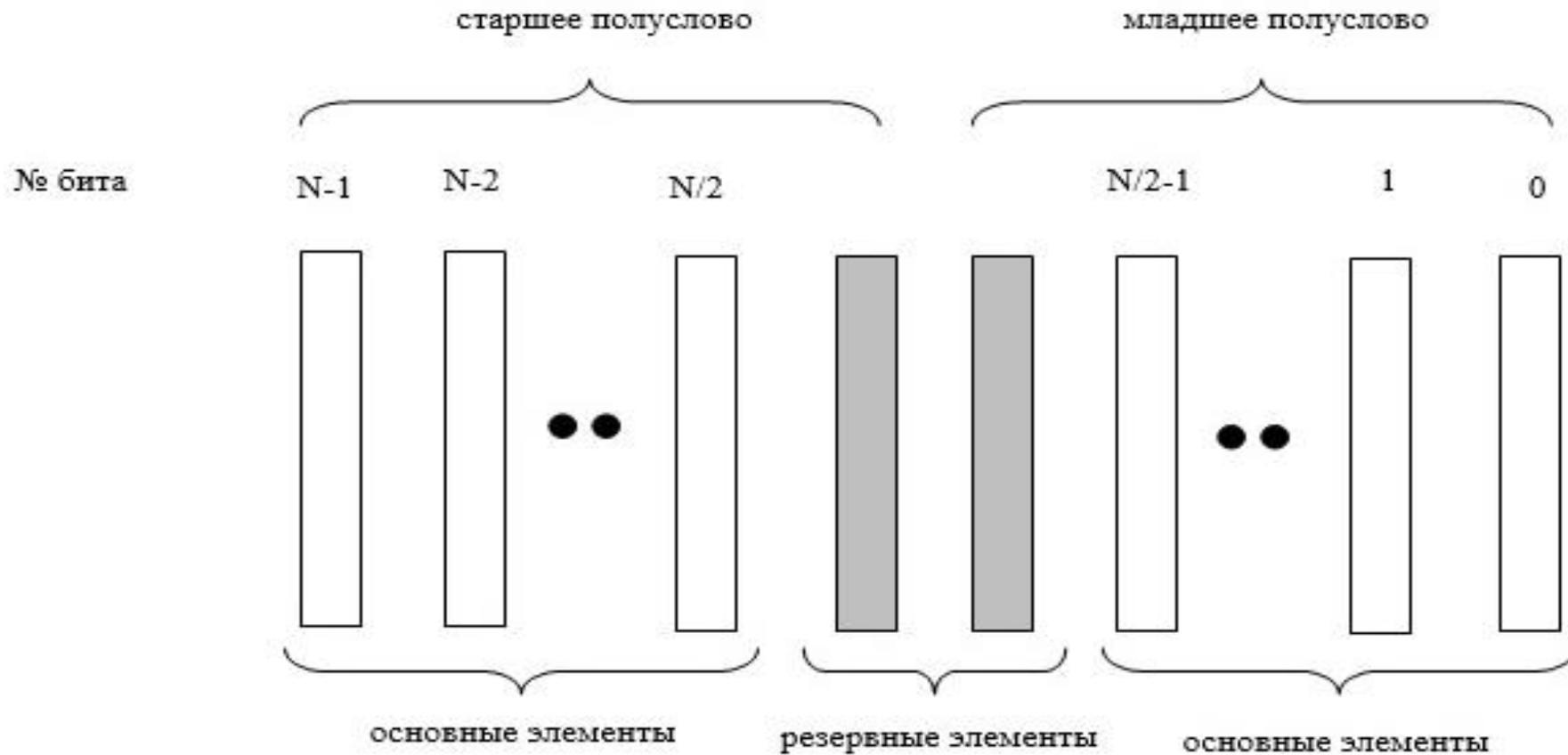
Глава 2.

Метод проектирования УВСП, работающего с
УВСТ без информации о расположении
поврежденных ячеек памяти,
ориентированный на сокращение времени
поиска корректной конфигурации резервных
элементов

Схема использования УВСП(ВISR)



Резервные столбцы



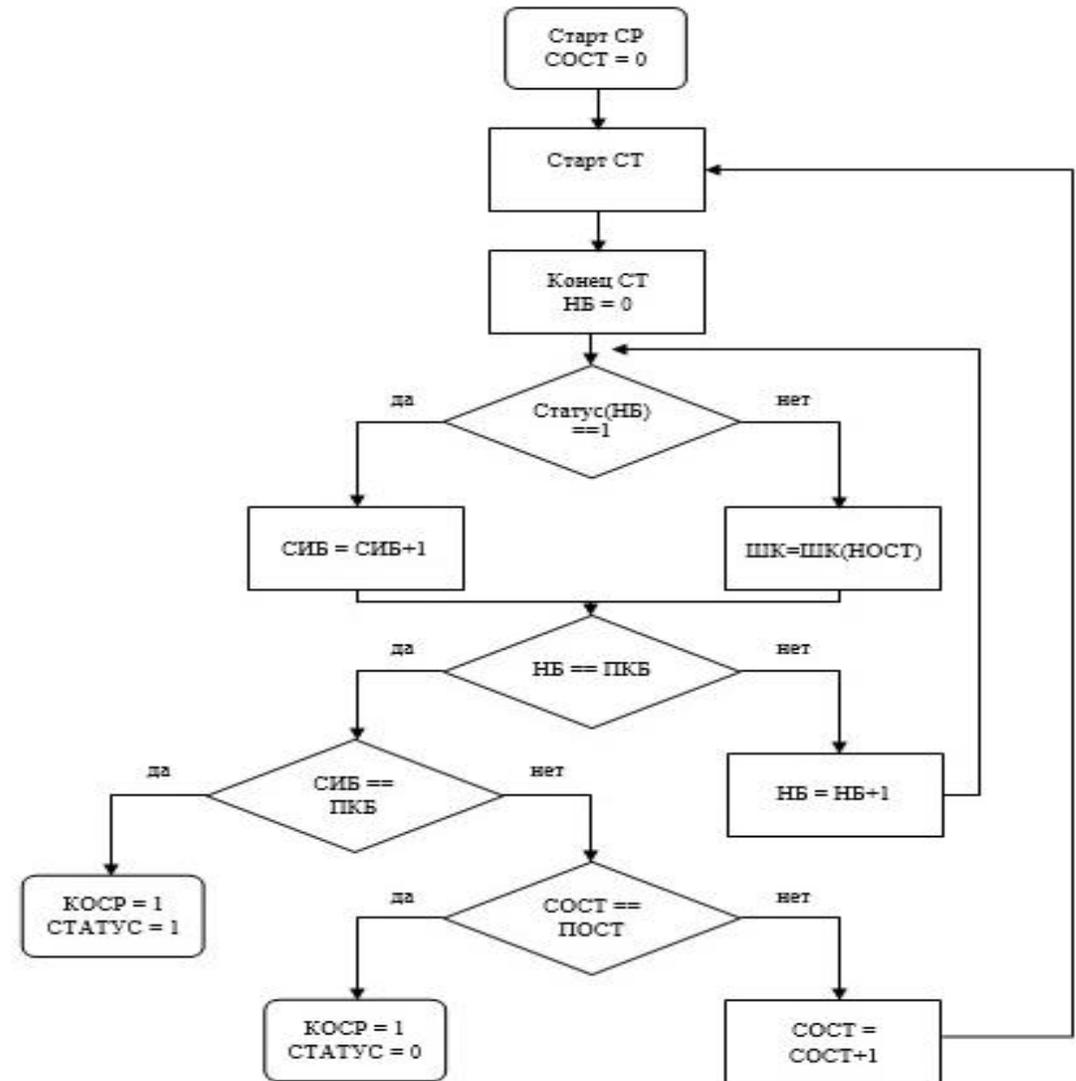
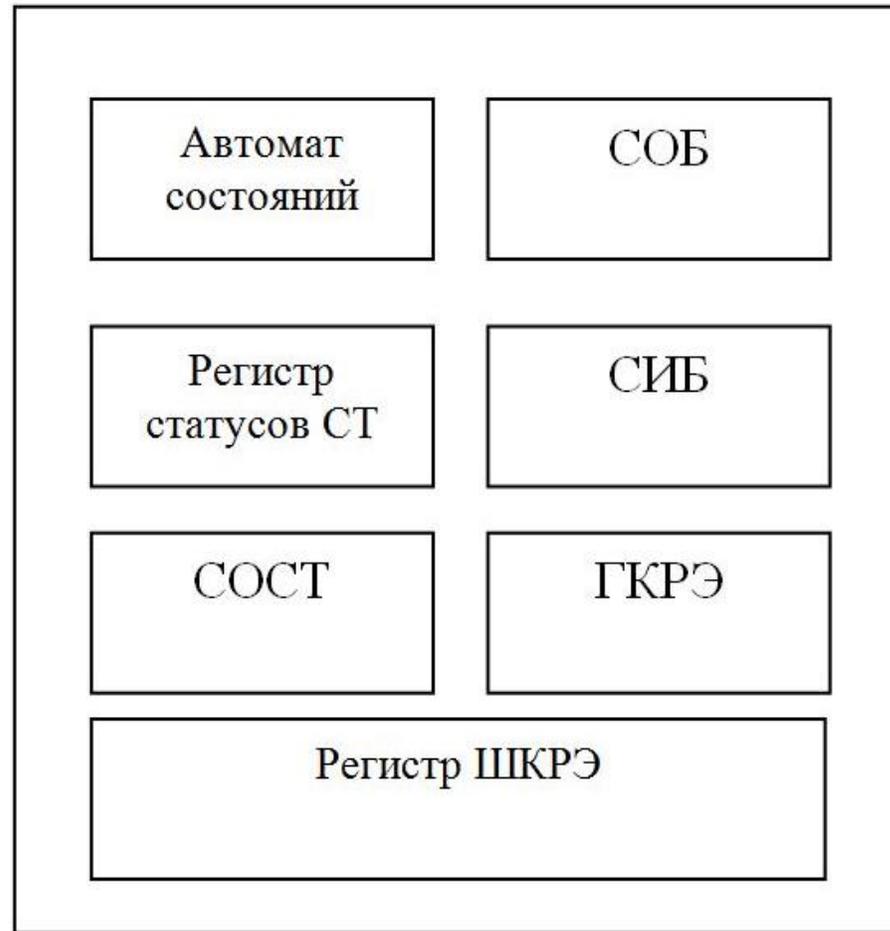
МАХ кол-во операций СТ

- ▶ $(N/2)^2 + 1$, где N – размер информационного слова

N, бит	8	16	32	64
Максимальное число операций СТ	17	65	257	1025

- ▶ Разбиение блока памяти на блоки, хранящие меньшие по информационные слова может уменьшить max количество операций СТ

Блоки и алгоритм анализа ремонта



Результаты синтеза (28 нм)

Название схемы	$S/S_{\text{УВСП 64 бит x 1}}$	$AT/AT_{\text{УВСП 64 бит x 1}}$	$P/P_{\text{УВСП 64 бит x 1}}$	$S_{\text{УВСП}}/S_{\text{память}}$
УВСП 8 бит x 8	1,877	0,999	2,362	1,047
УВСП 16 бит x 4	1,451	0,997	1,801	1,083
УВСП 32 бит x 2	1,091	0,981	1,322	0,948
УВСП 64 бит x 1	1	1	1	1

Выводы по главе 2

- Разработана методология проектирования УВСП без информации о расположении поврежденных ячеек памяти.
- УВСП может применяться в СнК, содержащих любое количество блоков СОЗУ любого размера.
- Разбиение информационного слова уменьшает время ремонта в 4-60 раз.

Глава 3.

Методы проектирования УВСП, работающих с УВСТ с учетом информации о расположении поврежденных ячеек памяти, ориентированные на сокращение времени поиска корректной конфигурации резервных элементов и на сокращение аппаратных затрат

Сравнение времен поиска КРЭ

- BISR-MUX2: $N_{\max} = [N(N-1)/2] + 1 ;$
- BISR-SHIFT: $N_{\max} = [N/2]^2 + 1 ;$
- ERR-VEC: $N_{\max} = 2 ;$

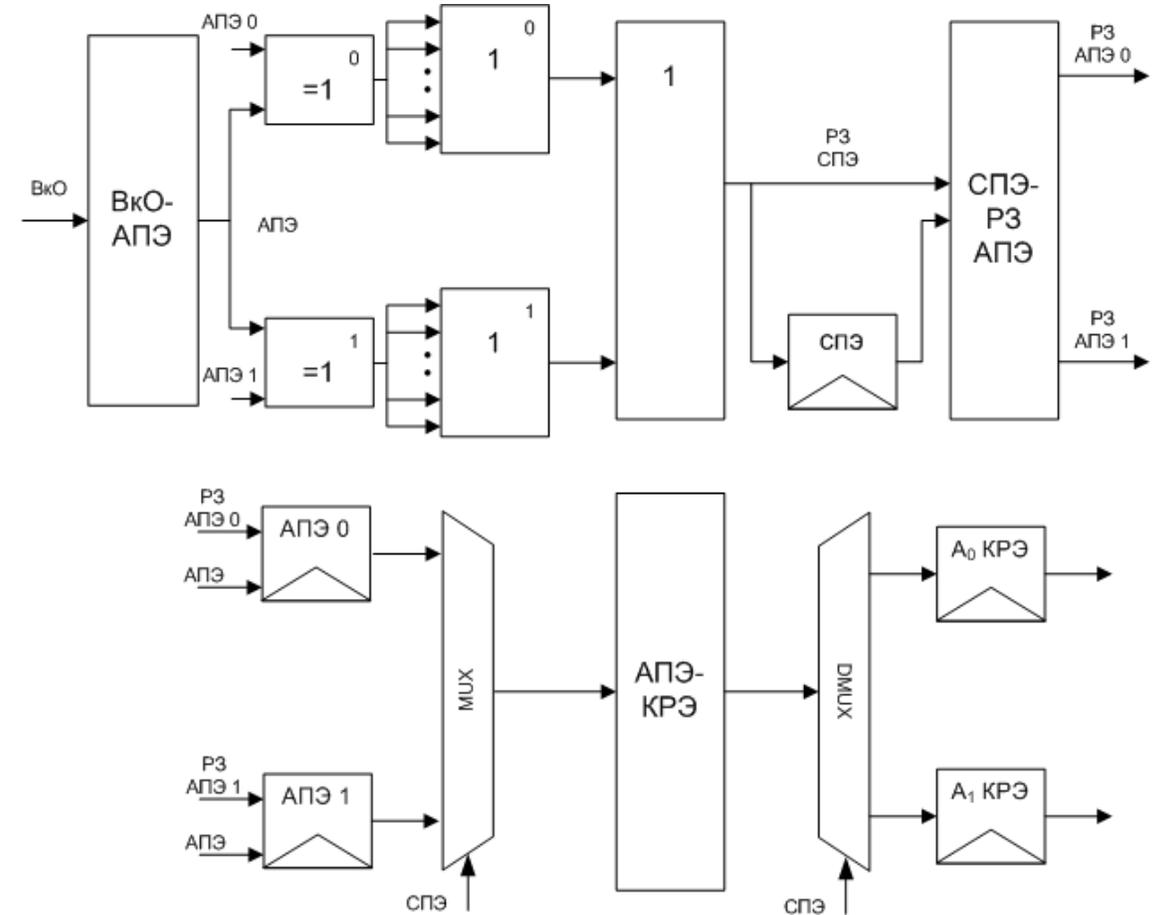
N	8	16	32	64
BISR-MUX2	29	121	497	2017
BISR-SHIFT	17	65	257	1025
ERR-VEC	2	2	2	2

УВСП для 1-D резервирования?

- ▶ Архитектурам УВСП с 2-D резервированием посвящено множество работ, наиболее известной из которых является статья, описывающая алгоритм CRESTA [Kawagoe T et al 2000]
- ▶ Архитектуры УВСП с 1-D резервированием такого внимания не удостоены. В [Huang J. 2004] на уровне макроблоков описан способ построения УВСП для резервных строк
- ▶ Несмотря на наличие статей, упоминающих 1-D резервирование столбцами [Kim I et al 1998], описанных архитектур УВСП с 1-D резервированием автором не обнаружено

Анализатор ремонта 1 - Адрес

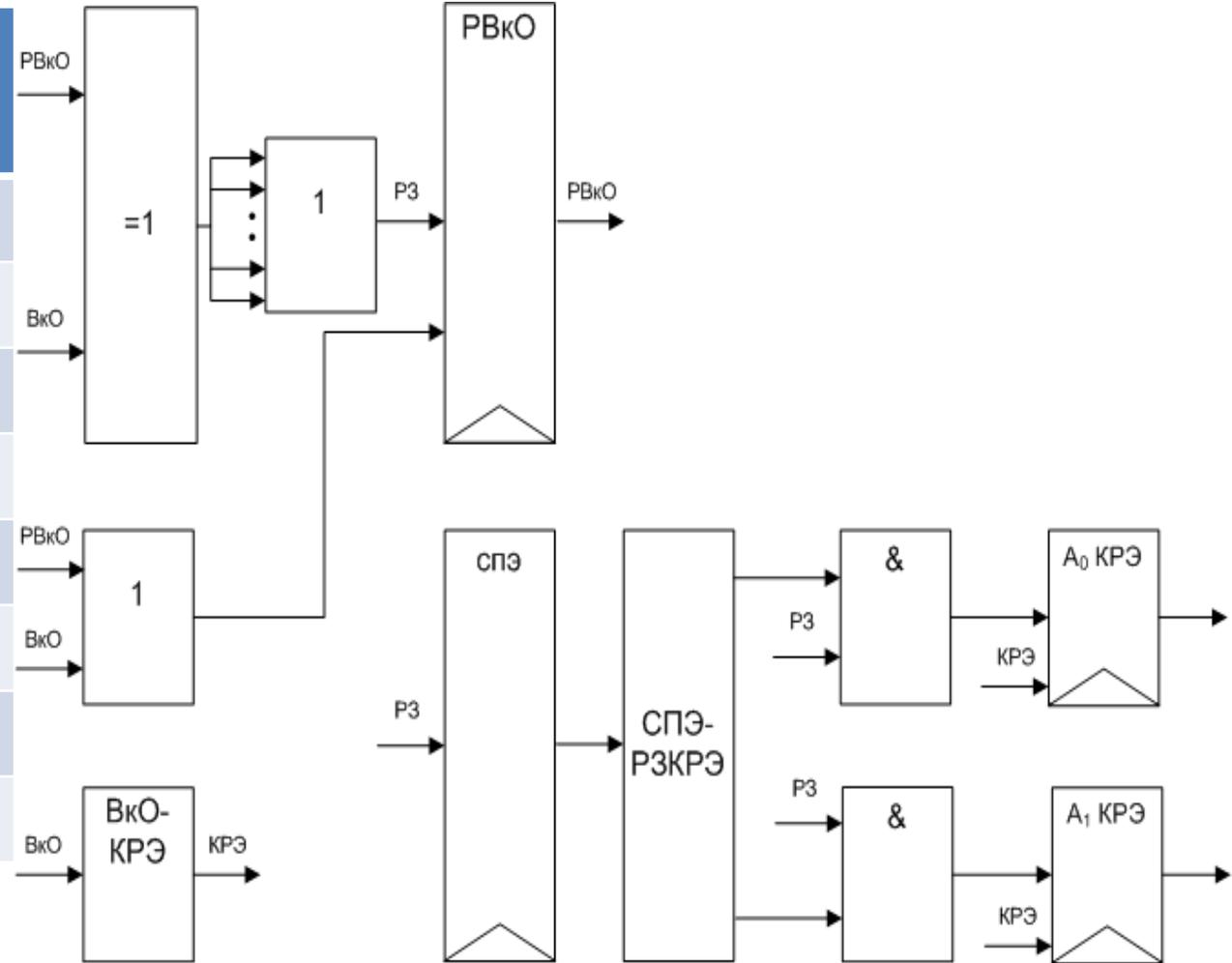
Элемент	Количество, шт.	Размерность (для регистров), бит
ДШ (ШДг - АПЭ)	1	
2-вх-XOR	$([\log_2 N] + 1) * p$	
$([\log_2 N] + 1)$ -вх-OR	p	
p-вх-OR	1	
СПЭ	1	$[\log_2 N] + 1$
ДШ (СПЭ - РЗ АПЭ)	1	
АПЭ	p	$[\log_2 N] + 1$
n-вх-MUX(p в 1)	1	
ДШ (АПЭ - КРЭ)	1	
n-вх-DMUX(1 в p)	1	
A_p КРЭ	p	$[\log_2 N] + 2$



Элемент – упоминаемый в описанном УВСП

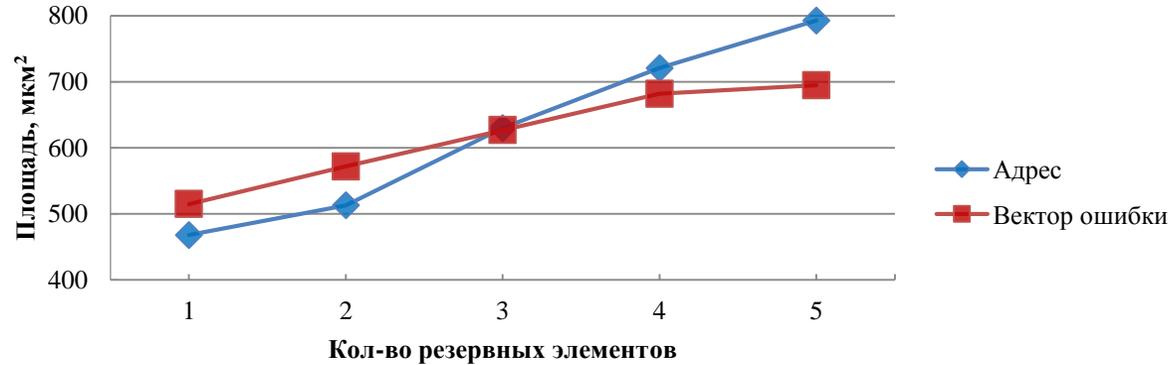
Анализатор ремонта 2 – Вектор ошибки

Элемент	Количество, шт.	Размерность (для регистров), бит
2-вх-XOR	N	
N-вх-OR	1	
2-вх-OR	N	
РВкО	1	N
СПЭ	1	$\lceil \log_2 N \rceil + 1$
ДШ (ВкО - КРЭ)	1	
ДШ (СПЭ - РЗ КРЭ)	1	
A_p КРЭ	p	$\lceil \log_2 N \rceil + 2$

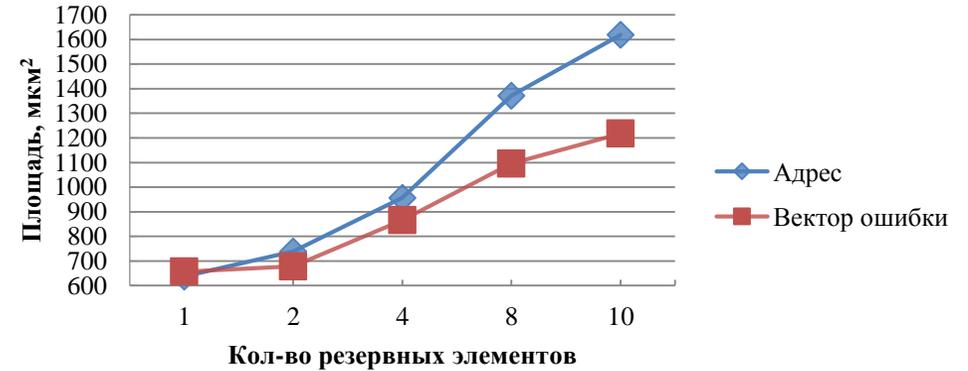


Сравнение аппаратных затрат

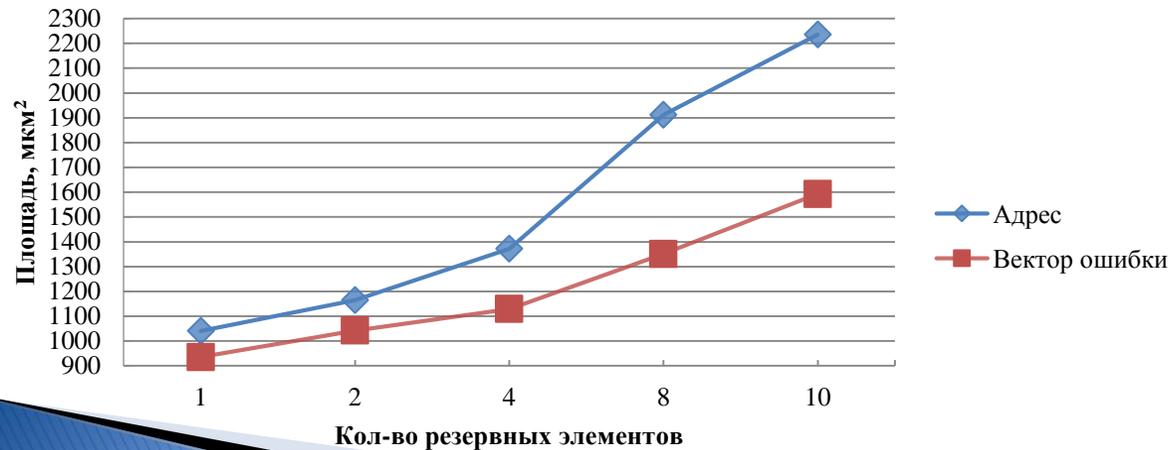
8-разрядное слово



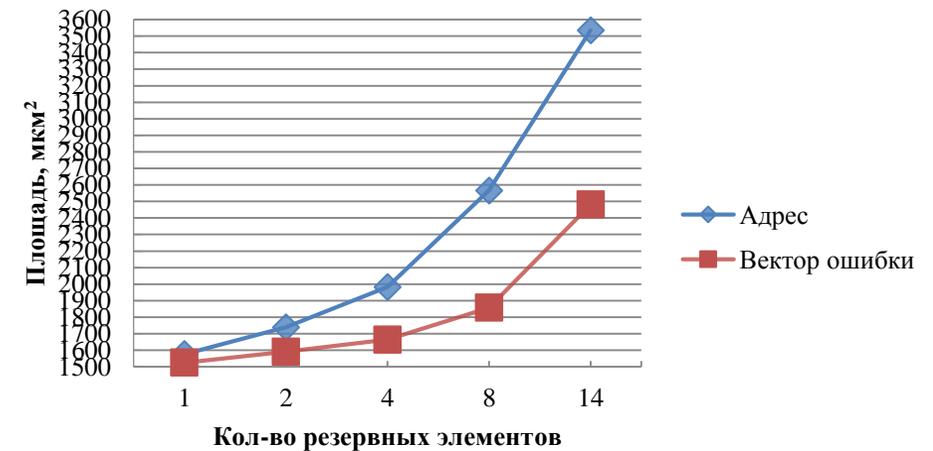
16-разрядное слово



32-разрядное слово

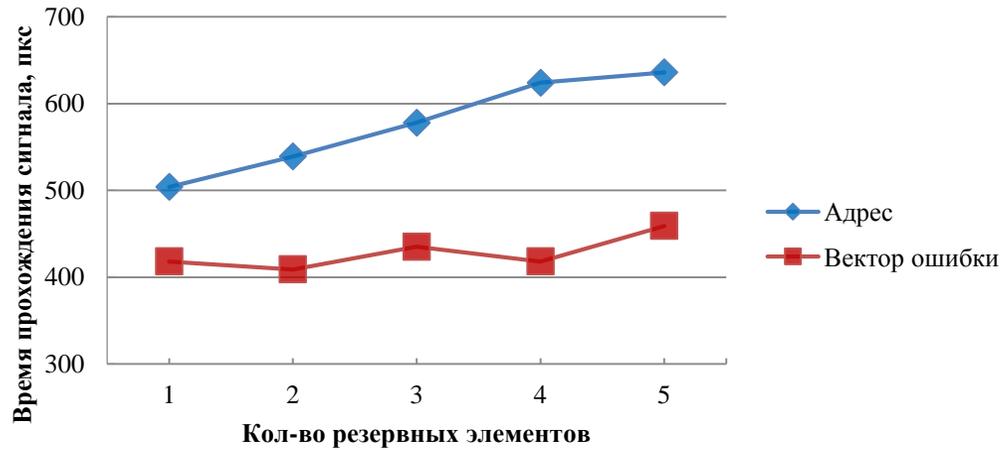


64-разрядное слово

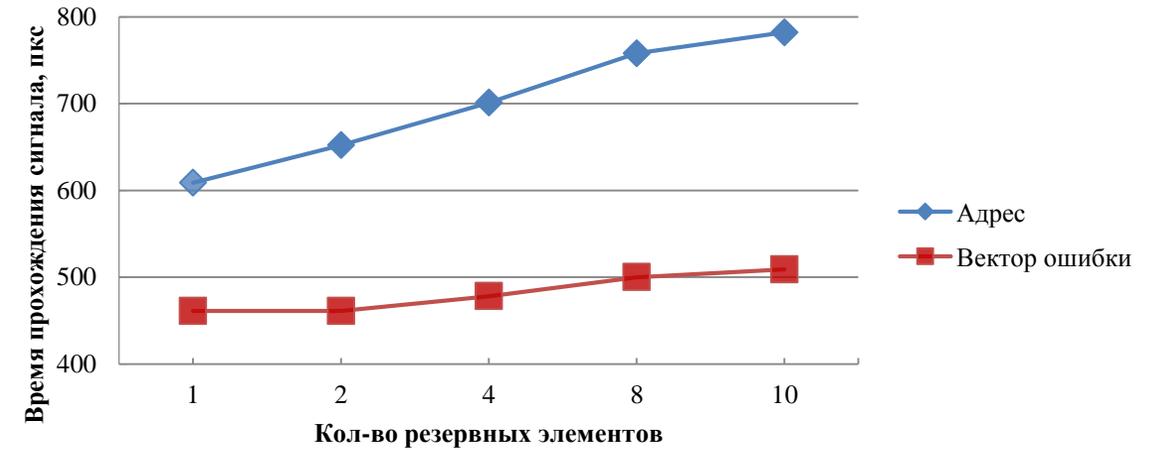


Сравнение временных затрат

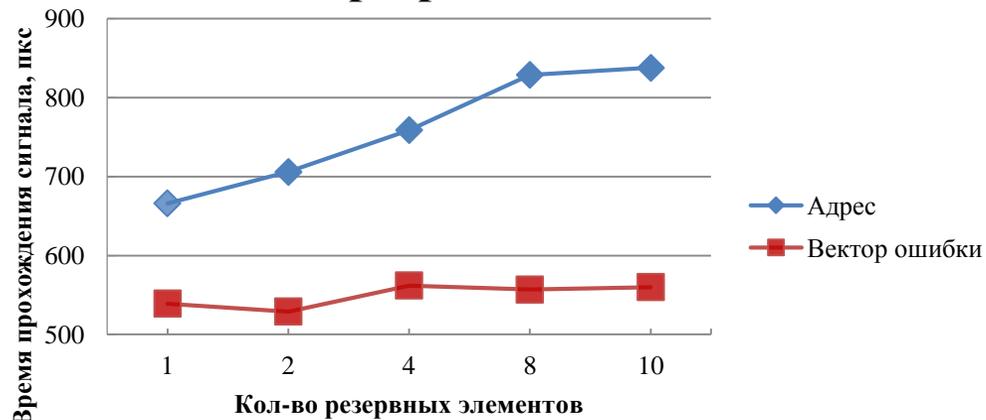
8-разрядное слово



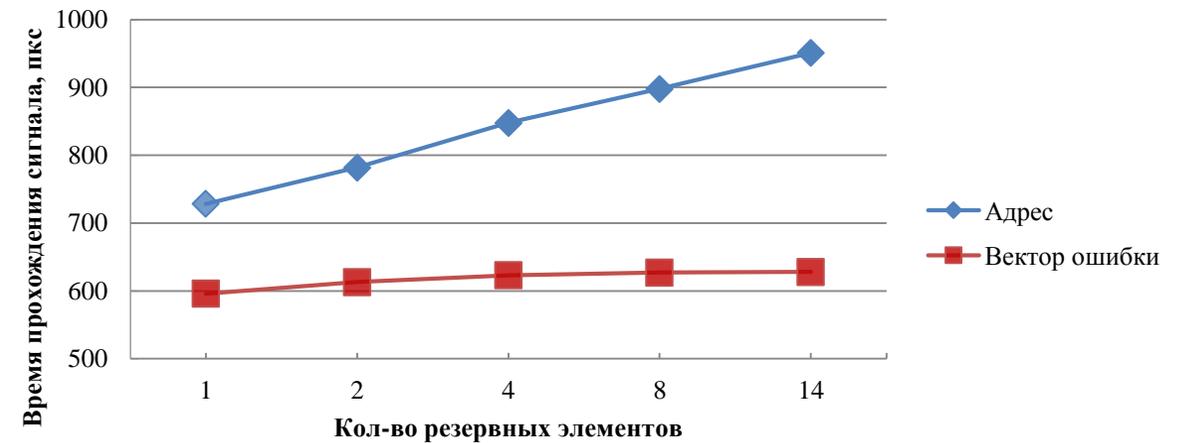
16-разрядное слово



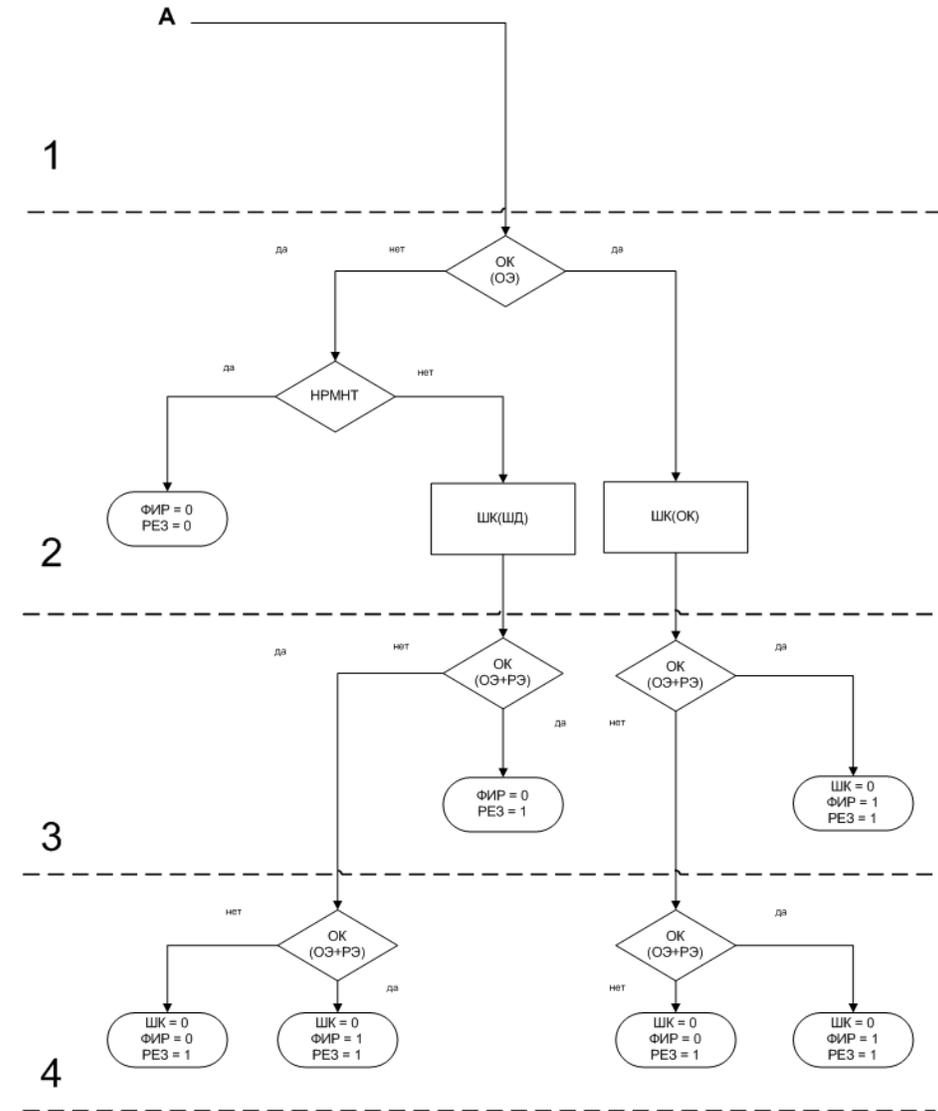
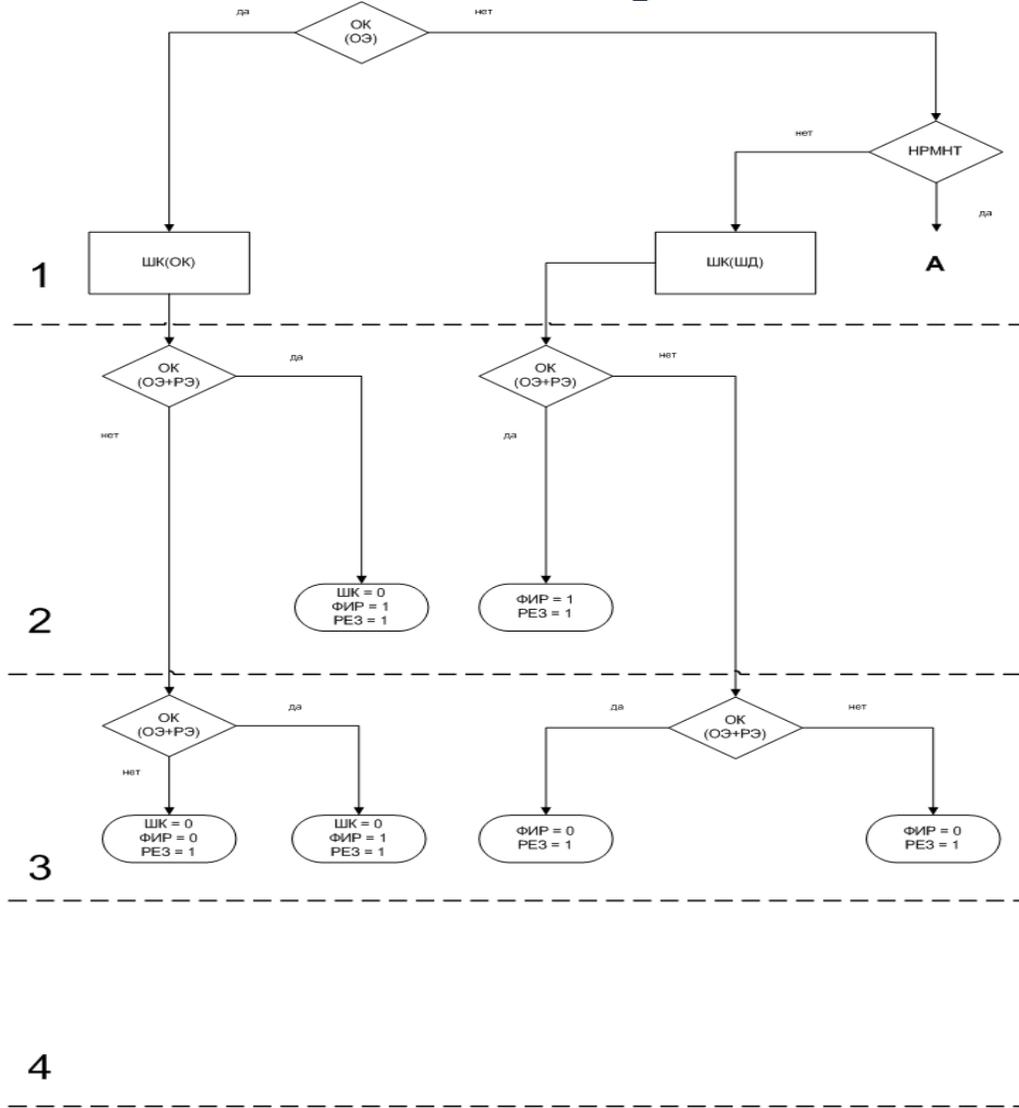
32-разрядное слово



64-разрядное слово



Алгоритм СБ-ОТ УВСР



Ухудшение характеристик при применении СБ-ОТ алгоритма

Размерность информационного слова, бит	Адрес		Вектор ошибки	
	Ув. задержки, %	Ув. площади, %	Ув. задержки, %	Ув. площади, %
8	1,4	23,0	1,4	22,1
16	2,0	16,0	1,6	20,0
32	3,0	13,8	2,3	15,6
64	1,3	5,5	1,6	11,6

Выводы по главе 3

- ▶ Показано, что в зависимости от способа замены основных элементов резервными преимущество по времени может достигать 1000 раз
- ▶ Представлена архитектура анализатора ремонта резервных столбцов, базирующаяся на известной архитектуре для резервных строк с сохранением адреса поврежденного элемента (I)
- ▶ Представлена архитектура анализатора ремонта резервных столбцов, с сохранением вектора ошибок (II)
- ▶ Преимущество по аппаратным затратам для реализации II над I достигает 29 %, а по временным 35%
- ▶ Представлен алгоритм СБ-ОТ, учитывающий вероятность наличия сбитой, но не отказавшей ячейки памяти

Глава 4.

Комбинированные методы повышения сбое- и отказоустойчивости элементов СОЗУ, включающих в себя устройства саморемонта памяти

Рассматриваемые методы повышения сбое- и отказоустойчивости СОЗУ

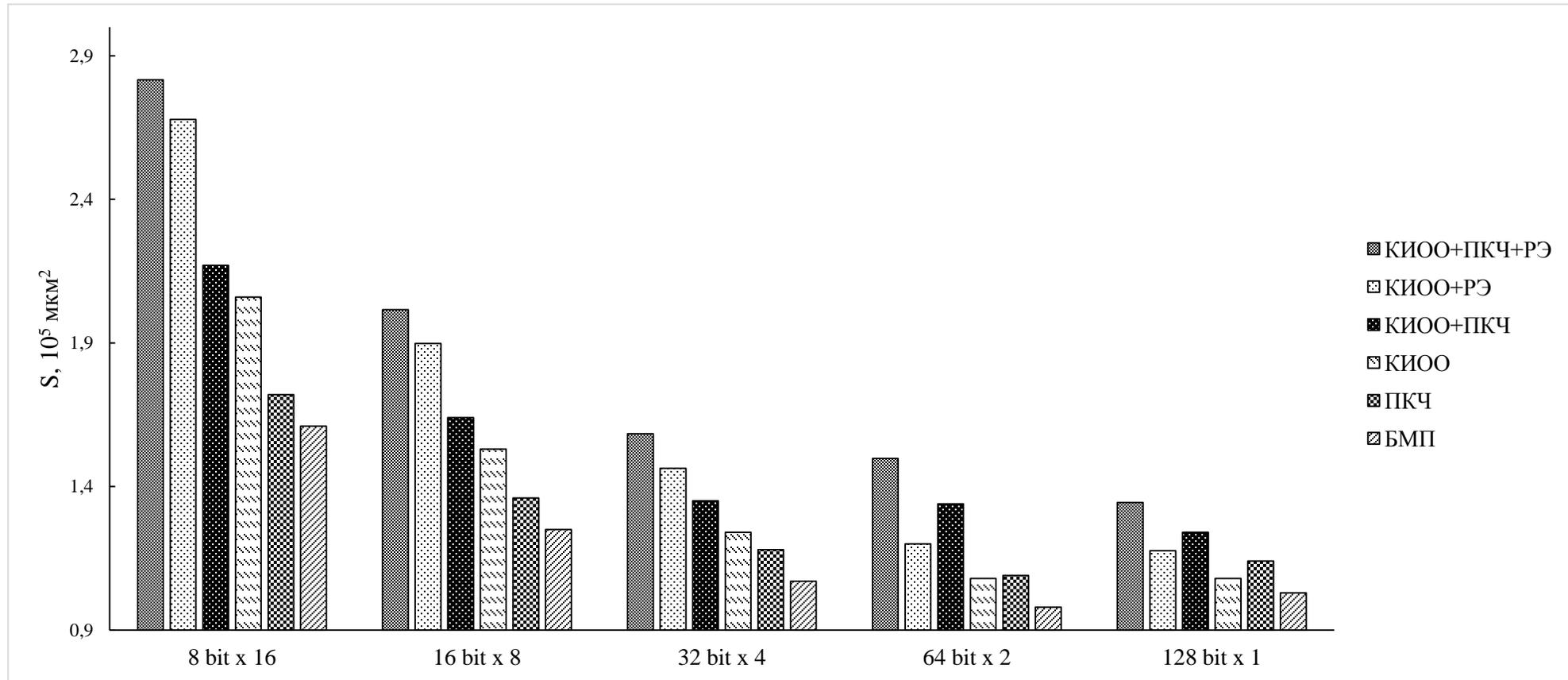
- ▶ Побайтовый контроль четности (ПКЧ)
 - ❖ Обнаружение ошибок на шинах записи/чтения и нечетного кол-ва ошибок при хранении данных
- ▶ Код исправления одиночной ошибки (КИОО)
 - ❖ Обнаружение и исправление одиночной ошибки при хранении данных
- ▶ Резервные элементы (РЭ)
 - ❖ Замена 2 отказавших столбцов в массиве

Рассматриваемые варианты реализации блока СОЗУ 4Кx128

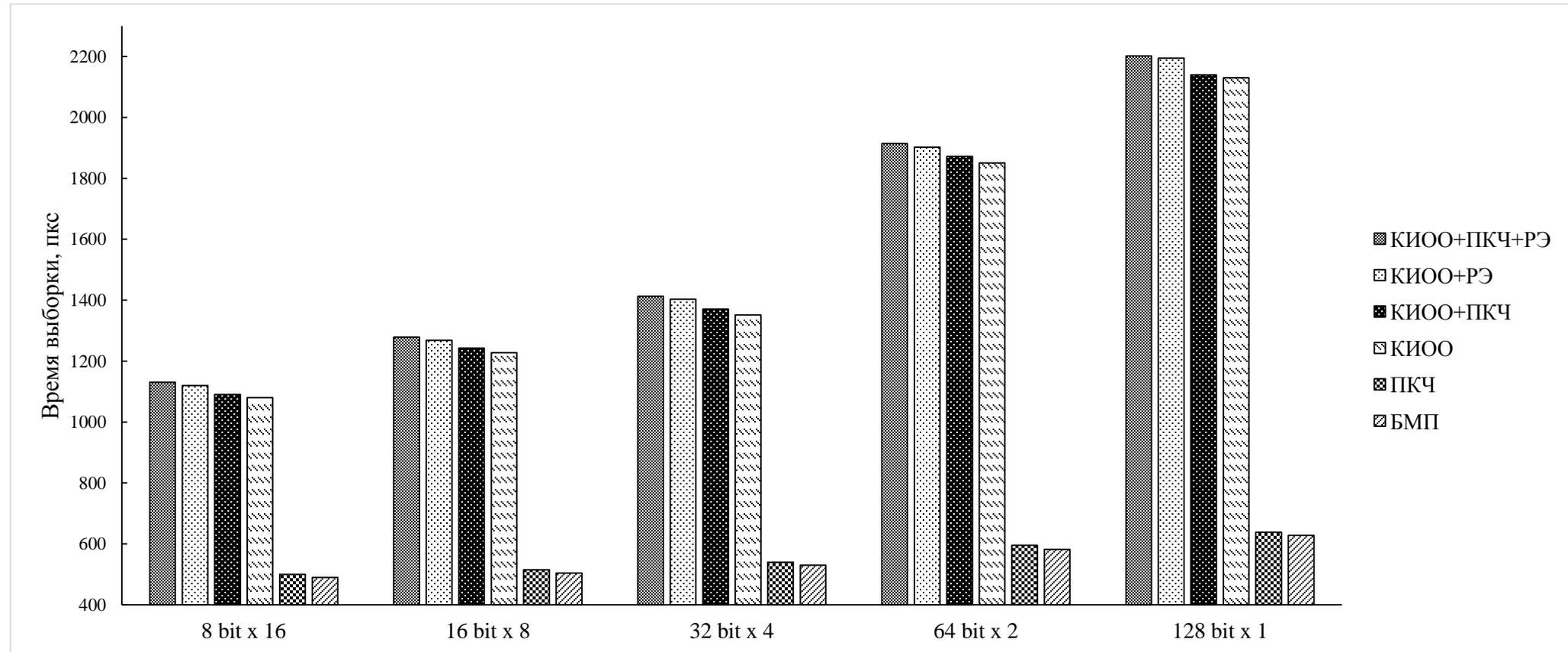
Блок СОЗУ 4Кx128 можно собрать из разных массивов следующими способами:

- ▶ 4Кx8 * 16 ;
- ▶ 4Кx16 * 8 ;
- ▶ 4Кx32 * 4 ;
- ▶ 4Кx64 * 2 ;
- ▶ 4Кx128 * 1 ;

Аппаратурные затраты для различных комбинаций методов повышения сбое- и отказоустойчивости



Время выбоки для различных комбинаций методов повышения сбое- и отказоустойчивости



Выводы по главе 4

- ▶ При совместном использовании всех трех рассмотренных способов повышения сбое- и отказоустойчивости увеличение площади, занимаемой матрицей памяти на кристалле, составляет от 30 до 75%, а увеличение времени выборки – от 130 до 250% при сравнении вариантов с одинаковой организацией
- ▶ Разбиение блока памяти на массивы приводит к возрастанию общей площади до 1,5 – 2,3 раз и снижению времени выборки от 22 до 50 % в зависимости от количества банков и способа повышения сбое- и отказоустойчивости
- ▶ Метод КИОО+ПКЧ+РЭ при организации блока из 8-разрядных массивов позволяет покрыть наибольшее число возникающих сбоев и отказов

Общие выводы

- ▶ **RED** предпочтительнее **ЕСС** для обхода отказавших ячеек памяти в качестве способа повышения ВГД с точки зрения накладываемых аппаратных и временных затрат
- ▶ Разработана методология проектирования УВСП без информации о расположении поврежденных ячеек памяти, разбиение информационного слова уменьшает время ремонта в 4-60 раз
- ▶ Представлена архитектура анализатора ремонта резервных столбцов, базирующаяся на известной архитектуре для резервных строк с сохранением адреса поврежденного элемента (I)
- ▶ Разработана методология проектирования анализатора ремонта резервных столбцов, с сохранением вектора ошибок (II)
- ▶ Преимущество по аппаратным затратам для реализации II над I достигает 29 %, а по временным 35%
- ▶ Представлен алгоритм СБ-ОТ, учитывающий вероятность наличия сбитой, но не отказавшей ячейки памяти
- ▶ Рассмотрены аппаратные и временные затраты, накладываемые комбинированными методами повышения сбое- и отказоустойчивости СОЗУ



Спасибо за внимание!

site: www.module.ru
e-mail: rusales@module.ru